

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2946921号

(45) 発行日 平成11年(1999) 9月13日

(24) 登録日 平成11年(1999) 7月2日

(51) Int.Cl. ⁸	識別記号	F I	
G 0 9 G 3/20		G 0 9 G 3/20	J
	6 1 1		6 1 1 A
H 0 1 L 21/8238		H 0 1 L 27/08	3 2 1 L
27/092		H 0 3 K 17/687	F
H 0 3 K 17/687			

請求項の数1(全 5 頁)

(21) 出願番号 特願平4-51168

(22) 出願日 平成4年(1992) 3月10日

(65) 公開番号 特開平5-249916

(43) 公開日 平成5年(1993) 9月28日

審査請求日 平成8年(1996) 3月28日

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 田中 昭生

東京都港区芝五丁目7番1号日本電気株式会社社内

(74) 代理人 弁理士 京本 直樹 (外2名)

審査官 谷山 稔男

(56) 参考文献 特開 平4-134395 (J P, A)

特開 平2-66593 (J P, A)

特開 平2-87189 (J P, A)

特開 昭61-132997 (J P, A)

最終頁に続く

(54) 【発明の名称】 低電力駆動回路

1

(57) 【特許請求の範囲】

【請求項1】 相補型MOSトランジスタで構成される出力段と、前記出力段の一方のMOSトランジスタにつながりロジック信号を高電圧に変換する相補型MOSトランジスタで構成されるレベル変換回路とを有し、前記出力段に接続される容量性負荷を駆動する回路において、前記出力段の相補型MOSトランジスタの一方の電源端子にインダクタを用いた無効電力回収回路を接続することを特徴とする低電力駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、容量性負荷の低電力駆動回路に関し、特にプラズマディスプレイ、エレクトロルミネッセンス等のフラットパネルディスプレイの駆動回路に関する。

2

【0002】

【従来の技術】 従来、この種の容量性負荷の駆動回路では、低電力化を図るため、図4に示すようにインダクタLを用いた無効電力回収回路が知られている。第1のコンデンサC1は負荷容量CLに比べ非常に大きく、低電圧源とみなされ、その電圧は回路のスイッチング動作によって自動的に高電位側電源2の電圧V1の半分の電圧V1/2に設定される。出力を立ち上げるには、図5のように第2のP型MOSトランジスタMP2をオンにしてインダクタLと負荷容量CLで構成されるLC回路にV1/2を印加することで行われる。LC回路の動作により、CLの両端の電圧はV1まで上昇する。V1まで上昇した所で第1のP型MOSトランジスタMP1をオンにしてV1にクランプする。立下りは、同様に第2のN型MOSトランジスタMN2と第1のN型MOSトラ

ンジスタMN1を順次オンにする。立上り時にCLを充電するためにC1からCL(V1)²のエネルギーが流出するが、立下り時にLC回路の動作によって全てC1へもどされる(ACプラズマディスプレイにおけるエネルギー・リカバリー・サステイン回路(Energy Recovery Sustain Circuit for the AC Plasma Display), L. F. Weber et al; SDI87 DIGEST, P92~95, 1987. 参照)。

【0003】この様な無効電力回収回路は、ACメモリプラズマディスプレイの維持電極のようにパネル全面の1つの電極のようにパネル全面の1つの電極で駆動する場合、回収回路が少なくて済み効率が良いが、走査電極、データ電極のようにXYマトリクスのX本、Y本を別々に駆動する場合、LCを用いた回収回路を個々の電極に用いる必要があり実現は困難であった。

【0004】

【発明が解決しようとする課題】この様に、走査電極、データ電極には無効電力回収回路をつけることが困難であったため、従来は図6のように相補型MOSトランジスタでパルスが発生させて駆動していた。この方式では、無効電力は回収されないため、走査電極、データ電極に存在する非常に大きな容量の充放電に伴う電力を無駄に消費していた。

【0005】

【課題を解決するための手段】本発明の駆動回路は、相補型MOSトランジスタで構成される出力段と、この出力段の一方のMOSトランジスタにつながりロジック信号を高電圧に変換する相補型MOSトランジスタで構成されるレベル変換回路とを有し、前記出力段に接続される容量性負荷を駆動する回路において、前記出力段の相補型MOSトランジスタの一方の電源端子にインダクタを用いた無効電力回収回路を接続することを特徴としている。

【0006】

【実施例】次に本発明について図面を参照して説明する。図1は本発明の第1の実施例の回路図を示す。無効電力回収回路6の出力3を相補型MOSトランジスタで構成されるドライバーIC10の高電位側電源端子9に接続する。近年、32~64出力、耐圧200V程度のドライバーICが開発されており、このドライバーICの各出力をXYマトリクスパネルの走査電極、データ電極に接続する。

【0007】図2は、第1の実施例の具体的回路を示す

図で、入力端子4を制御して、第3のP型MOSトランジスタMP3をオンにすると、無効電力回収回路6で作られた出力パルスが、XYマトリクスパネルの電極に印加される。パネルの電極にはキャパシタンスが存在するが、無効電力回収回路6によって充放電に伴う電力は回収される。第3のN型MOSトランジスタMN3をオンにすると、出力はロウに固定される。この様に表示の有無によって入力端子を制御して、パネルの電極にパルスを印加したりロウに固定することができる。

10 【0008】図3は、本発明の第2の実施例を示す回路図である。本実施例ではドライバーICの出力回路8の低電位側電源端子11に、無効電力回収回路6の出力3を接続している。ロジックの入力信号の基準電位に対し、負の電位のパルスをパネル電極に印加する時に用いる。

【0009】データ側電極を例にとれば、一電極当たりC=40pF程度のキャパシタンスがN=640電極程度あり(X方向640ドットの場合)、これを周波数f=125KHz電圧V=80Vで駆動すると、 $N \times f \times C \times V^2$ により、通常なら20.5W程度の電力を消費するが、本発明により約80%の電力が回収され、4.1W程度の消費電力で済む。

【0010】

【発明の効果】以上説明したように、本発明は異なった電極にパルスを印加するドライバーICにおいても無効電力回収回路を使用することができ、パネル電極に存在するキャパシタンスの充放電に伴う電力を回収することができ、消費電力を大幅に減少できる。

30 【0011】さらに、低電力化によって電源回路の小型化ができる他、放熱にかかわる部品等も削減することができ、大幅のコストダウンが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例のブロック図である。

【図2】本発明の第1の実施例の具体的回路を示す図である。

【図3】本発明の第2の実施例の具体的回路図である。

【図4】従来の無効電力回収回路の回路図である。

【図5】従来の無効電力回収回路のタイミング波形を示す図である。

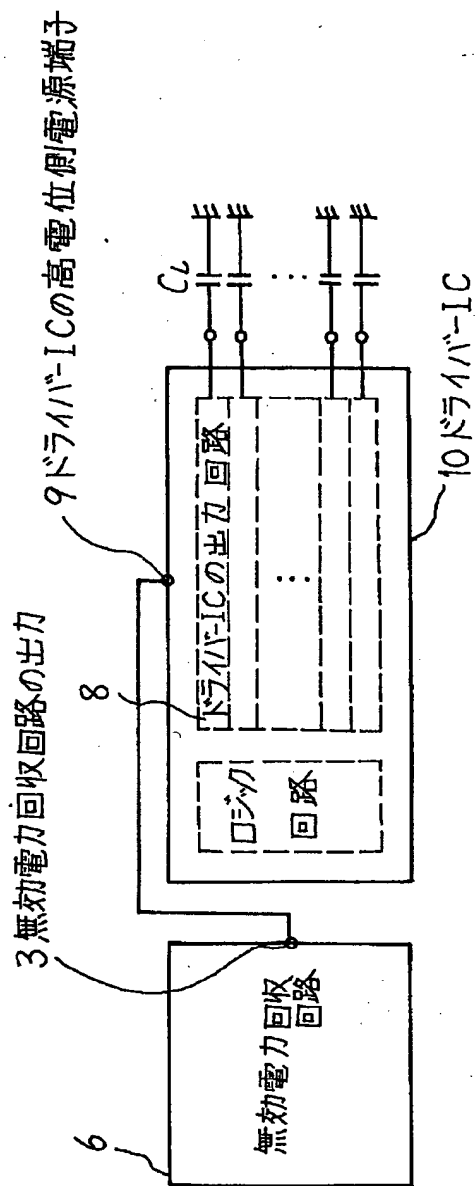
40 【図6】従来のドライバー回路の回路図である。

【符号の説明】

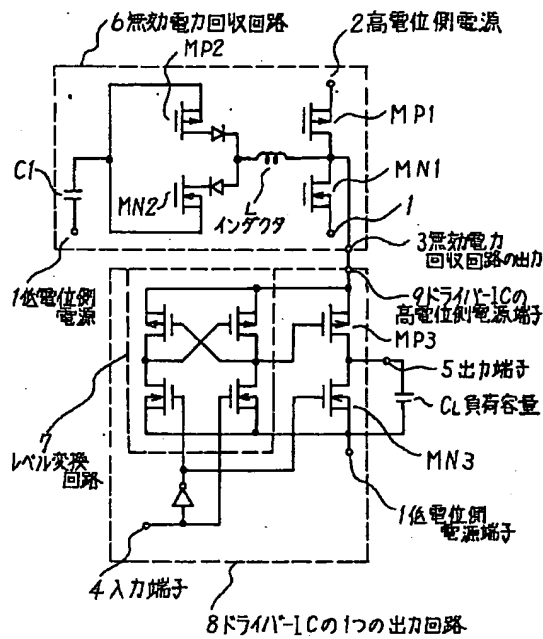
6 無効電力回収回路

10 ドライバーIC

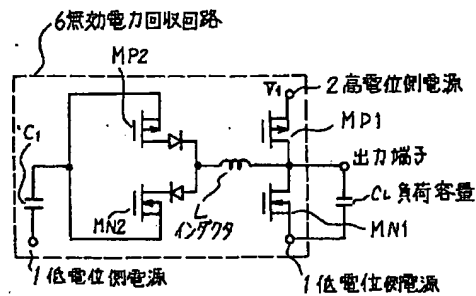
【図1】



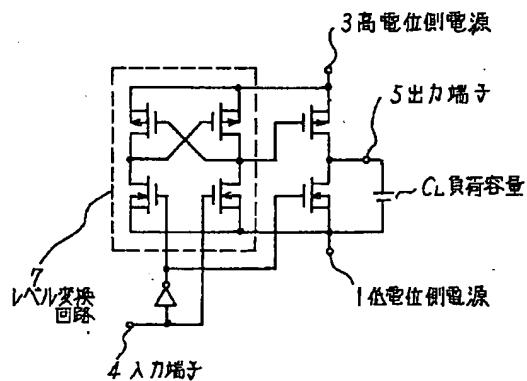
【図2】



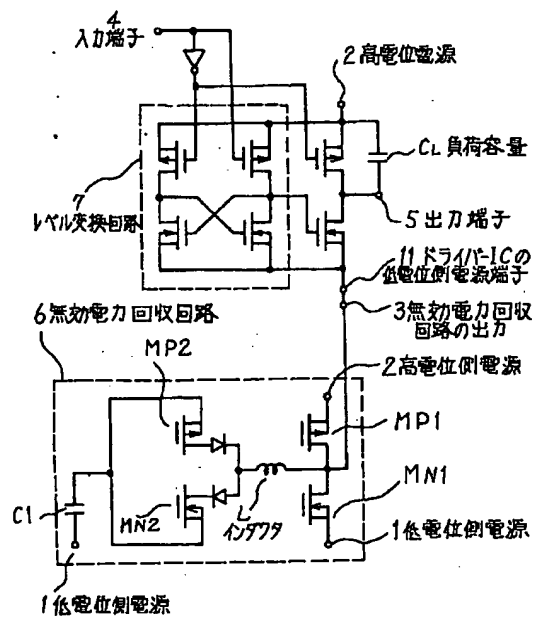
【図4】



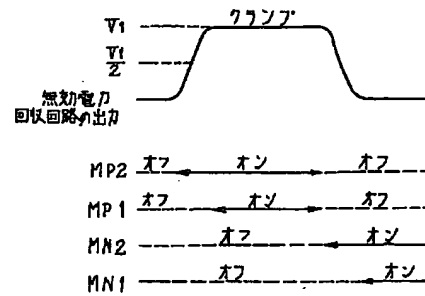
【図6】



【図3】



【図5】



フロントページの続き

(58)調査した分野(Int.Cl.⁶, DB名)

G09G 3/00 - 3/16

G09G 3/19 - 3/34

G09G 3/38

H01L 27/08

H03K 17/687